

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-53168

(P2001-53168A)

(43) 公開日 平成13年2月23日 (2001.2.23)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード [*] (参考)	
H 0 1 L 21/8244		H 0 1 L 27/10	3 8 1	5 B 0 1 5
	27/11	G 1 1 C 11/34	3 3 5 C	5 F 0 8 3
G 1 1 C 11/413				

審査請求 未請求 請求項の数 8 O L (全 14 頁)

(21) 出願番号 特願平11-229780

(22) 出願日 平成11年8月16日 (1999.8.16)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 岩橋 誠之

東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

(72) 発明者 鈴木 武史

東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

(74) 代理人 100081938

弁理士 徳若 光政

最終頁に続く

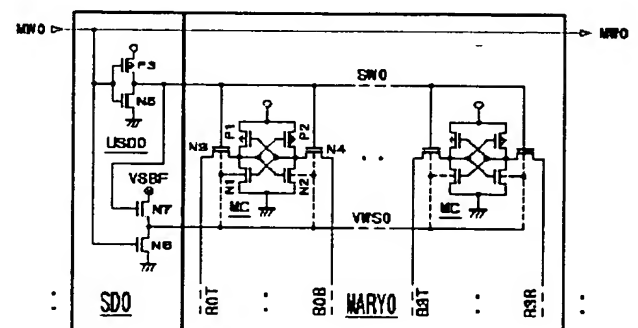
(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【課題】 CMOS回路を基本素子とするスタティック型RAM等の消費電力を低減しつつ、そのアクセスタイムの高速化を図る。

【解決手段】 CMOS型のメモリセルMCが格子配列されてなるメモリアレイMARYOを基本構成要素とし、その非選択時、相補ビット線の非反転信号線BOT及び反転信号線BOBをハイレベルにプリチャージするスタティック型RAM等において、その基本的なデバイス構造を、SOI構造とするとともに、例えばメモリアレイMARYOのメモリセルMCのNチャネルMOSFET N1～N4が形成されるP型ウェル領域を、サブワード線単位で独立に形成し、該P型ウェル領域に、対応するサブワード線SW0が非選択状態とされるとき、接地電位VSSのような比較的低い第1の電位のウェル電圧を印加し、選択状態とされるときは、比較的高い第2の電位のウェル電圧VSBFを印加する。

図8 メモリアレイ及びサブワード線駆動の部分回路構成 (実施例4)



【特許請求の範囲】

【請求項1】 所定のウェル領域に供給されるウェル電圧の電位を、該ウェル領域に形成される素子を含む回路が選択状態又は非選択状態とされたことを受けて切り換える構成とされることを特徴とする半導体集積回路装置。

【請求項2】 請求項1において、

上記半導体集積回路装置は、半導体基板の所定深度に絶縁層を形成し、該絶縁層の上層に上記ウェル領域を形成するSOI構造をとるものであって、上記ウェル領域は、その下端において上記絶縁層と接する構造とされるものであることを特徴とする半導体集積回路装置。

【請求項3】 請求項1又は請求項2において、

上記半導体集積回路装置は、CMOS型のメモリセルが格子配列されてなるメモリアレイを基本構成要素とし、その非選択時、相補ビット線の非反転及び反転信号線をハイレベルにプリチャージするスタティック型RAMであって、

上記回路は、上記メモリセルであり、

上記素子は、該メモリセルを構成するNチャネルMOSFETであり、

上記ウェル領域は、該NチャネルMOSFETが形成され、かつワード線を単位として分離されるP型ウェル領域であり、

該P型ウェル領域のそれぞれに供給されるウェル電圧の電位は、対応するワード線が非選択状態とされるとき、第1の電位とされ、選択状態とされるとき、上記第1の電位より所定値だけ高い第2の電位とされるものであることを特徴とする半導体集積回路装置。

【請求項4】 請求項3において、

上記スタティック型RAMは、階層ワード線方式をとるものであり、

上記ワード線は、その選択レベルをロウレベルとするメインワード線と、その選択レベルをハイレベルとするサブワード線とからなるものであり、

該サブワード線は、その入力端子が対応する上記メインワード線に結合される単位サブワード線駆動回路によって選択的に駆動されるものであって、

該単位サブワード線駆動回路のそれぞれは、そのドレインが対応する上記P型ウェル領域に結合され、そのソースに上記第1の電位を受け、かつ対応する上記サブワード線が非選択レベルとされるときオン状態とされ、選択レベルとされるときオフ状態とされるNチャネル型の第1のMOSFETを含むものであることを特徴とする半導体集積回路装置。

【請求項5】 請求項4において、

上記単位サブワード線駆動回路のそれぞれは、さらに、そのドレインが対応する上記P型ウェル領域に結合され、そのソースに上記第2の電位を受け、かつ対応する

サブワード線が非選択レベルとされるときオフ状態とされ、選択レベルとされるときオン状態とされるPチャネル型の第2のMOSFETを含むものであることを特徴とする半導体集積回路装置。

【請求項6】 請求項5において、

上記第1及び第2のMOSFETのゲートは、対応するメインワード線に結合されるものであることを特徴とする半導体集積回路装置。

【請求項7】 請求項4において、

上記単位サブワード線駆動回路のそれぞれは、さらに、そのソースが対応する上記P型ウェル領域に結合され、そのドレインに上記第2の電位を受け、かつ対応するサブワード線が非選択レベルとされるときオフ状態とされ、選択レベルとされるときオン状態とされるNチャネル型の第3のMOSFETを含むものであることを特徴とする半導体集積回路装置。

【請求項8】 請求項7において、

上記サブワード線の選択レベルは、上記第2の電位より十分に高い電位とされるものであって、

上記第1のMOSFETのゲートは、対応するサブワード線に結合され、上記第3のMOSFETのゲートは、対応するメインワード線に結合されるものであることを特徴とする半導体集積回路装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】この発明は半導体集積回路装置に関し、SOI構造をとるデバイスのウェル電位を高速に制御するもの、例えば、マイクロプロセッサ等の論理集積回路装置、ならびにこのような論理集積回路装置にマクロセルとして搭載されるSOI構造のスタティック型RAM（ランダムアクセスメモリ）に利用して有効な技術に関するものである。

【0002】

【従来の技術】半導体基板の所定深度に絶縁層を形成し、この絶縁層の上層に、例えばMOSFET（金属酸化物半導体型電界効果トランジスタ、この明細書では、MOSFETをして絶縁ゲート型電界効果トランジスタの総称とする）のソース又はドレインとなる半導体領域やこれらの半導体領域を形成するためのウェル領域を形成することで、MOSFET等の寄生容量を低減しうるいわゆるSOI（Silicon On Insulator）構造のデバイスは、バルク構造のデバイスに比較して低消費電力と高速化に向いている。

【0003】上記SOI構造を用いたデバイスについては、雑誌「電子材料」1999年6月号、pp. 22～28に示されている。また、バルク構造における基板バイアスによるしきい値制御に関しては、特開平8-271620号公報に記載されている。

【0004】

【発明が解決しようとする課題】本願発明者等は、この

発明に先立って、マイクロプロセッサ等の論理集積回路装置にマクロセルとして搭載されるスタティック型RAMの開発業務に従事し、次のような問題点に気付いた。すなわち、このスタティック型RAMは、例えば図9に示されるように、スタティック型のメモリセルMCが格子配列されてなるメモリアレイMARYOを備え、該メモリアレイを構成するメモリセルMCのそれぞれは、PチャネルMOSFET P1及びNチャネルMOSFET N1ならびにPチャネルMOSFET P2及びNチャネルMOSFET N2からなる一対のCMOSインバータが交差結合されてなるラッチ回路を含む。

【0005】メモリアレイMARYOのメモリセルMCを構成するラッチ回路の非反転出力ノードは、Nチャネル型の選択MOSFET N3を介して対応する非反転ビット線B0T～B3T（ここで、それが有効とされるとき選択的にハイレベルとされるいわゆる非反転信号等については、その名称の末尾にTを付して表す。以下同様）に結合され、その反転出力ノードは、やはりNチャネル型の選択MOSFET N4を介して対応する反転ビット線B0B～B3B（ここで、それが有効とされるとき選択的にロウレベルとされるいわゆる反転信号等については、その名称の末尾にBを付して表す。以下同様）に結合される。

【0006】スタティック型RAMは、SOI構造をとらず、メモリアレイMARYOの各メモリセルMCを構成するNチャネルMOSFET N1～N4は、例えばP型の半導体基板上に形成された一対のN型拡散層をそのソース及びドレインとし、PチャネルMOSFET P1及びP2は、半導体基板上のN型ウェル領域に形成された一対のP型拡散層をそのソース及びドレインとする。

【0007】メモリアレイMARYOのメモリセルMCを構成する選択MOSFET N3及びN4のゲートは、対応するサブワード線SW0等に共通結合される。また、各メモリセルMCを構成するNチャネルMOSFET N1～N4のチャネル部つまりP型拡散層には、図に点線に示されるように、例えば接地電位VSSつまり0V（ボルト）が基板電圧として供給される。さらに、サブワード線SW0は、サブワード線駆動回路SD0の対応する単位サブワード線駆動回路USD0に結合され、対応するメインワード線MW0が接地電位VSSのような選択レベルとされることで選択的に、電源電圧VDDのような選択レベルとされる。

【0008】周知のように、MOSFETのしきい値電圧は、半導体基板又はウェル領域に供給される基板電圧又はウェル電圧の電位に応じて変化する。また、MOSFETのしきい値電圧を大きくした場合、メモリセルMC等のリーク電流を低減し、スタティック型RAMの消費電力を低減することができるが、MOSFET及びこれを含むメモリセルMC等の動作が遅くなり、スタティック型RAMのアクセスタイムが遅くなる。一方、MO

SFETのしきい値電圧を小さくした場合、MOSFET及びこれを含むメモリセルMC等の動作を速くし、スタティック型RAMのアクセスタイムを高速化することはできるが、メモリセルMC等のリーク電流が大きくなり、スタティック型RAMの消費電力が大きくなる。

【0009】これらのことから、スタティック型RAMがアクティブ状態とされる間、基板電圧及びウェル電圧を意図的にかつきめ細かく切り換えることで、MOSFETのしきい値電圧を効果的に制御し、スタティック型RAM等のリーク電流を低減しつつそのアクセスタイムを高速化することが考えられる。しかし、従来のデバイス構造をそのまま踏襲した場合、半導体基板及びウェル領域の寄生容量が余りにも大きいために基板電圧及びウェル電圧の制御自体に長い時間が必要となり、アクティブ時において効果的かつきめ細かく基板電圧及びウェル電圧を制御することは困難となる。この結果、スタティック型RAMの消費電力を十分に低減することができず、そのアクセスタイムの高速化も制約を受けている。

【0010】従来技術として先程挙げた特開平8-274620号公報には、バルク構造デバイスにおいて、基板電圧を変化させているが、バルク構造ではスタンバイ時に対するアクティブ時の中で、きめこまかく非選択・選択によってウェル電圧を正制御することはできない。また、ウェル電圧を比較的变化させやすいSOIにおいても、スタンバイ時とアクティブ時とでボディ（ウェル）電圧を切り換える方法は知られている（電子材料1999年6月号p28）が、本願のようにアクティブ時においてウェル電圧を切り換えるような記載はない。

【0011】この発明の目的は、アクティブ時においてウェル電圧を変化させ、メモリ回路における消費電流を低減しつつ、アクセスタイムの高速化を図ることにあり、この発明の前記ならびにその他の目的と新規な特徴は、この明細書の記述及び添付図面から明らかになるであろう。

【0012】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、次の通りである。すなわち、CMOS型のメモリセルが格子配列されてなるメモリアレイを基本構成要素とし、その非選択時、相補ビット線の非反転及び反転信号線をハイレベルにプリチャージするスタティック型RAM等において、その基本的なデバイス構造を、半導体基板の所定深度に絶縁層を形成し、該絶縁層の上層に、その下端と絶縁層とが接すべくウェル領域を形成するSOI構造とするとともに、例えば、メモリアレイの各メモリセルのNチャネルMOSFETが形成されるP型ウェル領域を、ワード線単位で独立に形成し、該P型ウェル領域に、対応するワード線が非選択状態とされるとき、例えば接地電位のような比較的低い第1の電位のウェル電圧を印加し、選択状態とされるときには、+400mV

(ミリボルト)程度の比較的高い第2の電位のウェル電圧を印加する。

【0013】上記手段によれば、例えばメモリアレイの非選択状態にある大半のメモリセルのNチャネルMOSFETのしきい値電圧を大きくしたまま、選択状態にあるメモリセルのNチャネルMOSFETのしきい値電圧のみを、必要期間だけ選択的に小さくすることができる。この結果、メモリセルのリーク電流を低減し、スタティック型RAM等の消費電力を低減しつつ、メモリセルの動作を高速化し、スタティック型RAM等のアクセス時間を高速化することができる。

【0014】

【発明の実施の形態】図1には、この発明が適用されたスタティック型RAM（半導体集積回路装置）の一実施例のブロック図が示されている。また、図2には、図1のスタティック型RAMに含まれるメモリアレイ及び周辺部の一実施例のブロック図が示されている。両図をもとに、まずこの実施例のスタティック型RAMならびにそのメモリアレイ及び周辺部の構成及び動作の概要について説明する。

【0015】なお、この実施例のスタティック型RAMは、特に制限されないが、マイクロプロセッサ等の論理集積回路装置にマクロセルとして搭載され、例えばそのキャッシュメモリとして機能する。また、図1及び図2の各ブロックを構成する回路素子は、論理集積回路装置の図示されない他のブロックを構成する回路素子とともに、単結晶シリコンのような1個の半導体基板面上に形成される。さらに、この実施例のスタティック型RAMは、SOI構造をとるが、その具体的なデバイス構造や特徴及び効果等については、後で詳細に説明する。

【0016】図1において、この実施例のスタティック型RAMは、そのレイアウト所要面積の大半を占めて配置されるメモリアレイMARYと、周辺回路たるライトアンプWA、カラムスイッチCS、センスアンプSAならびにデータ入出力回路IOとを備える。また、アドレス選択回路となるXアドレスデコーダXD及びXアドレスバッファXBとYアドレスデコーダYD及びYアドレスバッファYBとを備え、さらに制御回路となるタイミング発生回路TGを備える。

【0017】この実施例において、スタティック型RAMのメモリアレイMARYと、ライトアンプWA、カラムスイッチCS、センスアンプSAならびにデータ入出力回路IOを含む周辺部は、図2に示されるように、実際には $p+1$ 個に分割され、メモリマットMAT0～MATpを構成する。メモリマットMAT0～MATpのそれぞれは、メモリアレイMARYがワード線延長方向に分割されてなるメモリアレイMARY0～MARYpと、ライトアンプWA、カラムスイッチCS、センスアンプSAならびにデータ入出力回路IOがそれぞれ分割されてなるライトアンプWA0～WAp、カラムスイ

チCS0～CSp、センスアンプSA0～SApならびにデータ入出力回路IO0～IOpとを含む。

【0018】ここで、メモリマットMAT0～MATpのメモリアレイMARY0～MARYpは、図の水平方向に平行して配置される $m+1$ 本のサブワード線と、特に制限されないが、図の垂直方向に平行して配置される実質 4×18 組つまり合計72組の相補ビット線とを含む。これらのサブワード線及び相補ビット線の交点には、一対のCMOSインバータが交差結合されてなるラッチ回路を含むスタティック型メモリセルがそれぞれ格子状に配置される。

【0019】なお、メモリアレイMARY0～MARYpを構成するそれぞれ72組の相補ビット線は、4組を単位として18のビット線グループに分割される。また、サブワード線は、各ビット線グループの4組の相補ビット線つまり4個のメモリセルに対応して設けられ、各サブワード線に対応してサブワード線駆動回路が設けられる。ライトアンプWA0～WAp、カラムスイッチCS0～CSp、センスアンプSA0～SApならびにデータ入出力回路IO0～IOpは、ビット線グループに対応してそれぞれ72個の単位回路に分割されるが、このことについては本発明と直接関係ないため、具体的な説明を割愛する。メモリアレイMARY0～MARYpの具体的な構成等については、後で詳細に説明する。

【0020】メモリマットMAT0～MATpのメモリアレイMARY0～MARYpを構成するサブワード線は、上記のように、対応する図示されないサブワード線駆動回路に結合される。これらのサブワード線駆動回路は、メモリアレイMARY0～MARYpの各サブワード線に対応して設けられる $m+1$ 個の単位サブワード線駆動回路をそれぞれ備え、該単位サブワード線駆動回路のそれぞれは、その入力端子がXアドレスデコーダXDの対応する出力端子つまり対応するメインワード線に結合され、その出力端子がメモリアレイMARY0～MARYpの対応するサブワード線に結合されたCMOSインバータを含む。

【0021】なお、メインワード線は、メモリマットMAT0～MATpを串刺しすべく延長して配置され、同一行に配置された $18 \times (p+1)$ 個のサブワード線駆動回路によってそれぞれ共有される。また、各メインワード線は、図の左方においてXアドレスデコーダXDの対応する出力端子に結合され、論理集積回路装置のアクセスユニットから供給されるXアドレス信号AX0～AXiに従って択一的に接地電位VSSのようなロウレベルの選択レベルとされる。

【0022】これにより、メモリアレイMARY0～MARYpの同一行に配置された $18 \times (p+1)$ 本のサブワード線は、対応するメインワード線が接地電位VSSのようなロウレベルの選択レベルとされることで選択的に電源電圧VDDのようなハイレベルの選択レベルと

され、これを受けてメモリアレイMARY0～MARYpの選択サブワード線に結合されるそれぞれ4個、合計 $72 \times (p+1)$ 個のメモリセルが一斉に選択状態とされるものとなる。

【0023】前述のように、この実施例のスタティック型RAMはSOI構造をとり、メモリマットMAT0～MATpのメモリアレイMARY0～MARYpの各メモリセルを構成するNチャネルMOSFETは、ワード線つまりサブワード線ごとに独立に設けられたP型ウェル領域内に形成される。また、サブワード線駆動回路の各単位サブワード線駆動回路は、さらに、対応するウェル電圧供給線つまりP型ウェル領域と接地電位VSSとの間に設けられ、そのゲートに対応するワード線選択信号WS0～WSmを受けるNチャネルMOSFETを含み、メモリアレイMARY0～MARYpのメモリセルを構成するNチャネルMOSFETのしきい値電圧は、例えば対応するワード線選択信号WS0～WSmが挾一的にロウレベルとされることで選択的に小さくされるが、このことについては、サブワード線駆動回路の具体的な構成等とともに、後で詳細に説明する。

【0024】XアドレスデコーダXDには、XアドレスバッファXBから $i+1$ ビットの内部Xアドレス信号X0～Xiが供給される。このXアドレスバッファXBには、論理集積回路装置のアクセスユニットからアドレス入力端子AX0～AXiを介して $i+1$ ビットのXアドレス信号AX0～AXiが供給されるとともに、タイミング発生回路TGから内部クロック信号ICが供給される。

【0025】XアドレスバッファXBは、論理集積回路装置のアクセスユニットからアドレス入力端子AX0～AXiを介して供給されるXアドレス信号AX0～AXiを内部クロック信号ICに従って取り込み、保持するとともに、これらのXアドレス信号をもとに、それぞれ非反転及び反転信号からなる内部Xアドレス信号X0～Xiを形成し、XアドレスデコーダXDに供給する。また、XアドレスデコーダXDは、XアドレスバッファXBから供給される内部Xアドレス信号X0～Xiをデコードして、メモリマットMAT0～MATpに対するメインワード線の対応するビットを挾一的にロウレベルの選択レベルとする。

【0026】次に、メモリアレイMARYつまりメモリアレイMARY0～MARYpを構成するそれぞれ 4×18 組の相補ビット線は、図の下方においてライトアンプWAつまりWA0～WApの対応する単位ライトアンプの出力端子に結合されるとともに、カラムスイッチCSつまりCS0～CSpを介してそれぞれ18組、つまり合計 $18 \times (p+1)$ 組ずつ選択的に、センスアンプSAつまりSA0～SApの対応する単位センスアンプの入力端子に接続される。

【0027】ここで、ライトアンプWA0～WApは、

メモリマットMAT0～MATpのメモリアレイMARY0～MARYpの各相補ビット線に対応して設けられる72個の単位ライトアンプをそれぞれ含む。これらの単位ライトアンプは、メモリアレイMARY0～MARYpのビット線グループに対応して4個ずつ、18個のライトアンプグループにそれぞれ分割される。

【0028】一方、カラムスイッチCS0～CSpは、メモリアレイMARY0～MARYpの各ビット線グループ、つまりライトアンプWA0～WApの各ライトアンプグループに対応して設けられる18個の単位カラムスイッチをそれぞれ含む。センスアンプSA0～SApは、カラムスイッチCS0～CSpの各単位カラムスイッチに対応して設けられる18個の単位センスアンプをそれぞれ含む。カラムスイッチCS0～CSpには、YアドレスデコーダYDから図示されない4ビットのビット線選択信号YS0～YS3が共通に供給される。

【0029】データ入出力回路IO0～IOpは、センスアンプSA0～SApの各単位センスアンプに対応して設けられる18個の単位入力回路及び単位出力回路をそれぞれ含む。このうち、各単位入力回路の入力端子は、対応する入力データバスDIB0～DIBkに結合され、各単位出力回路の出力端子は、対応する出力データバスDOB0～DOBkに結合される。データ入出力回路IO0～IOpの各単位入力回路には、タイミング発生回路TGから入力制御信号ILが共通に供給され、各単位出力回路には、出力制御信号OLが共通に供給される。また、YアドレスデコーダYDには、YアドレスバッファYBから2ビットの内部Yアドレス信号Y0～Y1が供給される。さらに、YアドレスバッファYBには、論理集積回路装置のアクセスユニットからアドレス入力端子AY0～AY1を介して2ビットのYアドレス信号AY0～AY1が供給されるとともに、タイミング発生回路TGから内部クロック信号ICが供給される。

【0030】YアドレスバッファYBは、論理集積回路装置のアクセスユニットからアドレス入力端子AY0～AY1を介して供給されるYアドレス信号AY0～AY1を内部クロック信号ICに従って取り込み、保持するとともに、これらYアドレス信号をもとにそれぞれ非反転及び反転信号からなる内部Yアドレス信号Y0～Y1を形成して、YアドレスデコーダYDに供給する。また、YアドレスデコーダYDは、YアドレスバッファYBから供給される内部Yアドレス信号Y0～Y1をデコードして、カラムスイッチCS0～CSpに対するビット線選択信号YS0～YS3の対応するビットを挾一的に選択レベルとする。

【0031】データ入出力回路IO0～IOpの各単位入力回路は、スタティック型RAMが書き込みモードとされるとき、論理集積回路装置のアクセスユニットから入力データバスDIB0～DIBkを介して入力される合計 $18 \times (p+1)$ つまり $k+1$ ビットのライトデー

タを取り込み、保持する。これらのライトデータは、カラムスイッチ $C S 0 \sim C S p$ の対応する単位カラムスイッチを介してライトアンプ $W A 0 \sim W A p$ の18個の単位ライトアンプに選択的に伝達された後、所定の相補書き込み信号に変換され、メモリアレイ $M A R Y 0 \sim M A R Y p$ の選択状態にある合計 $k+1$ 個のメモリセルに一直に書き込まれる。

【0032】一方、センスアンプ $S A 0 \sim S A p$ の各単位センスアンプは、メモリアレイ $M A R Y 0 \sim M A R Y p$ の選択状態にある合計 $k+1$ 個のメモリセルからカラムスイッチ $C S 0 \sim C S p$ を介して出力される読み出し信号を増幅する。これらの読み出し信号は、データ入出力回路 $I O 0 \sim I O p$ の対応する単位出力回路に伝達された後、出力制御信号 $O L$ の有効レベルを受けて、出力データバス $D O B 0 \sim D O B k$ から論理集積回路装置のアクセスユニットに出力される。

【0033】タイミング発生回路 $T G$ は、論理集積回路装置のアクセスユニットから供給されるクロック信号 $C L K$ 、メモリーネーブル信号 $M E N$ ならびにリードライト信号 R / W をもとに、前記入力制御信号 $I L$ 及び出力制御信号 $O L$ を含む内部制御信号や内部クロック信号 $I C$ を選択的に生成し、各部に供給する。

【0034】図3には、図1及び図2のスタティック型RAMに含まれるメモリアレイ $M A R Y 0$ 及びサブワード線駆動回路 $S D 0$ の第1の実施例の部分的な回路図が示されている。また、図4には、図3のメモリアレイ $M A R Y 0$ のメモリセルの部分的な断面構造図が示され、図5には、図3のメモリアレイ $M A R Y 0$ 及びサブワード線駆動回路 $S D 0$ の一実施例の信号波形図が示されている。これらの図をもとに、この実施例のスタティック型RAMのメモリアレイ及びサブワード線駆動回路の具体的構成及び動作ならびにその特徴について説明する。

【0035】なお、以下の回路図において、そのチャンネル（バックゲート）部に矢印が付されるMOSFETはPチャンネル型であって、矢印の付されないNチャンネルMOSFETと区別して示される。また、図3には、メモリマツMAT0のメモリアレイ $M A R Y 0$ の第1のビット線グループを構成する4組の相補ビット線 $B 0 * \sim B 3 *$ （ここで、例えば非反転ビット線 $B 0 T$ 及び反転ビット線 $B 0 B$ を、合わせて相補ビット線 $B 0 *$ のように*を付して表す。以下同様）と、これらの相補ビット線に対応するサブワード線駆動回路 $S D 0$ のみが例示される。

【0036】さらに、図5には、メインワード線 $M W 0$ 及びサブワード線 $S W 0$ が択一的に選択状態とされる場合が例示され、相補ビット線については、相補ビット線 $B 0 *$ のみが例示される。メモリアレイ及びサブワード線駆動回路に関する以下の説明は、メモリマツMAT0のメモリアレイ $M A R Y 0$ の図示される一部と対応するサブワード線駆動回路 $S D 0$ を例に進められるが、メ

モリアレイ $M A R Y 0$ のその他の部分と他のサブワード線駆動回路、メモリマツ $M A T 1 \sim M A T p$ のメモリアレイ $M A R Y 1 \sim M A R Y p$ ならびにサブワード線駆動回路 $S D 1 \sim S D p$ については、同様な構成とされるため類推されたい。

【0037】図3において、メモリアレイ $M A R Y 0$ は、図の水平方向に平行して配置される $m+1$ 本のサブワード線 $S W 0 \sim S W m$ と、図の垂直方向に平行して配置される4組（実際には72組）の相補ビット線 $B 0 * \sim B 3 *$ とを含む。これらのサブワード線 $S W 0 \sim S W m$ ならびに相補ビット線 $B 0 * \sim B 3 *$ の交点には、 $4 \times (m+1)$ 個のメモリセルMCが格子状に配置される。

【0038】ここで、メモリアレイ $M A R Y 0$ を構成するスタティック型メモリセルMCのそれぞれは、PチャンネルMOSFET $P 1$ 及びNチャンネルMOSFET $N 1$ ならびにPチャンネルMOSFET $P 2$ 及びNチャンネルMOSFET $N 2$ からなる一対のCMOSインバータが交差結合されてなるラッチ回路を含む。

【0039】メモリアレイ $M A R Y 0$ の各メモリセルMCのラッチ回路を構成するPチャンネルMOSFET $P 1$ 及び $P 2$ のソースは、電源電圧供給点 $V D D$ に結合され、NチャンネルMOSFET $N 1$ 及び $N 2$ のソースは、接地電位供給点 $V S S$ に結合される。また、各メモリセルMCのラッチ回路の非反転入力ノード、つまりMOSFET $P 1$ 及び $N 1$ の共通ドレインならびにMOSFET $P 2$ 及び $N 2$ の共通ゲートは、Nチャンネル型の選択MOSFET $N 3$ を介して対応する非反転ビット線 $B 0 T \sim B 3 T$ に結合され、各メモリセルMCのラッチ回路の反転入力ノード、つまりMOSFET $P 1$ 及び $N 1$ の共通ゲートならびにMOSFET $P 2$ 及び $N 2$ の共通ドレインは、Nチャンネル型の選択MOSFET $N 4$ を介して対応する反転ビット線 $B 0 B \sim B 3 B$ に結合される。

【0040】さらに、メモリアレイ $M A R Y 0$ の同一行に配置される4個のメモリセルMCの選択MOSFET $N 3$ 及び $N 4$ のゲートは、対応するサブワード線 $S W 0 \sim S W m$ に共通結合される。なお、電源電圧 $V D D$ は、特に制限されないが、例えば+1.5Vのような正電位とされ、接地電位 $V S S$ は0Vとされる。

【0041】前述のように、スタティック型RAMはSOI構造を取り、半導体基板SUBには、図4に示されるように、例えば1 μm （マイクロメートル）程度の深度を目安に、所定厚の絶縁層ILが例えば酸素イオン打ち込みによって形成される。また、メモリアレイ $M A R Y 0$ の同一行に配置される4個のメモリセルMCを構成するPチャンネルMOSFET（PMOS） $P 1$ 及び $P 2$ は、絶縁層ILの上層のN型ウェル領域NWE LLに形成された一対のP型拡散層 p^+ をその共通のソース及びドレインとし、NチャンネルMOSFET（NMOS） N

1～N-4は、同様に絶縁層11の上層のP型ウェル領域PWELLに形成された一対のN型拡散層 n^+ をその共通のソース及びドレインとする。

【0042】PチャネルMOSFET P1及びP2のソース及びドレインとなる一対のP型拡散層 p^+ の間、つまりチャネルの上層には、所定厚の酸化膜OXを挟んで、MOSFET P1及びP2のゲートとなるゲート層FGが形成され、NチャネルMOSFET N1～N4のソース及びドレインとなる一対のN型拡散層 n^+ の間、つまりチャネルの上層には、同様に所定厚の酸化膜OXを挟んで、MOSFET N1～N4のゲートとなるゲート層FGが形成される。

【0043】この実施例において、メモリアレイMARYOのメモリセルMCのPチャネル及びNチャネルMOSFETが形成されるN型ウェル領域NWE LL及びP型ウェル領域PWELLは、その下端において絶縁層11に接すべく形成される。また、これらのウェル領域は、ワード線つまりサブワード線を単位としてそれぞれ独立に形成され、その周囲には、各ウェル領域を電氣的に分離するための絶縁領域IEがそれぞれ形成される。これにより、各ウェル領域の寄生容量が十分に小さくなり、ウェル電圧の高速制御が可能となる。

【0044】メモリアレイMARYOのメモリセルMCを構成するPチャネルMOSFET P1及びP2が形成されるN型ウェル領域NWE LLには、図3に示されない経路を介して、電源電圧VDDが基板電圧として供給される。また、メモリアレイMARYOの同一行に配置された4個のメモリセルMCを構成するNチャネルMOSFET N1～N4が形成されるP型ウェル領域PWELLは、対応するウェル電圧供給線VWS0～VWSmに結合され、これらのウェル電圧供給線VWS0～VWSmは、図の左方において、サブワード線駆動回路SD0の対応する単位サブワード線駆動回路USD0～USDmのNチャネルMOSFET N6を介して接地電位（第1の電位）供給点VSSに結合される。

【0045】次に、サブワード線駆動回路SD0は、メモリアレイMARYOのサブワード線SW0～SWmに対応して設けられる $m+1$ 個の単位サブワード線駆動回路USD0～USDmを備え、該単位サブワード線駆動回路のそれぞれは、図3の単位サブワード線駆動回路USD0に代表して示されるように、PチャネルMOSFET P3及びNチャネルMOSFET N5からなるCMOSインバータと、NチャネルMOSFET N6（第1のMOSFET）とを含む。

【0046】サブワード線駆動回路SD0の単位サブワード線駆動回路USD0～USDmのMOSFET P3及びN5からなるCMOSインバータの入力端子は、対応するメインワード線MW0～MWmに結合され、その出力端子は、メモリアレイMARYOの対応するサブワード線SW0～SWmに結合される。また、MOSFET

TN6のドレインは、上記のように、メモリアレイMARYOの対応するウェル電圧供給線VWS0～VWSmに結合され、そのゲートには、XアドレスデコーダXDから対応するワード線選択信号WS0～WSmが供給される。

【0047】ここで、メインワード線MW0～MWmは、図5に示されるように、通常電源電圧VDDつまり例えば+1.5Vのようなハイレベルの非選択レベルとされ、前述のように、Xアドレス信号AX0～AXiつまりは内部Xアドレス信号X0～Xiに従って択一的に接地電位VSSのようなロウレベルの選択レベルとされる。また、ワード線選択信号WS0～WSmも、通常電源電圧VDDつまり例えば+1.5Vのようなハイレベルの非選択レベルとされ、やはりXアドレス信号AX0～AXiつまりは内部Xアドレス信号X0～Xiに従って択一的に接地電位VSSのようなロウレベルの選択レベルとされる。

【0048】なお、この実施例のスタティック型RAMでは、特に制限されないが、ビット線に対するハイレベルプリチャージ方式がとられ、相補ビット線B0*～B3*の非反転及び反転信号線は、スタティック型RAMが非選択状態とされるとき、センスアンプSA0～SApの対応する単位センスアンプの図示されないPチャネル型のプリチャージMOSFETを介して、ともに電源電圧VDDつまり+1.5Vのようなハイレベルにプリチャージされる。

【0049】内部クロック信号ICつまりクロック信号CLKがロウレベルとされ、スタティック型RAMが非選択状態とされるとき、サブワード線駆動回路SD0では、メインワード線MW0～MWmのハイレベルの非選択レベルを受けて、単位サブワード線駆動回路USD0～USDmのCMOSインバータを構成するNチャネルMOSFET N5が一斉にオン状態となり、PチャネルMOSFET P3は一斉にオフ状態となる。このとき、単位サブワード線駆動回路USD0～USDmのNチャネルMOSFET N6は、対応するワード線選択信号WS0～WSmのハイレベルの非選択レベルを受けて一斉にオン状態となる。また、相補ビット線B0*～B3*の非反転及び反転信号線は、センスアンプSA0の対応する単位センスアンプのプリチャージMOSFETを介して、ともに電源電圧VDDのようなハイレベルにプリチャージされる。

【0050】これにより、メモリアレイMARYOのサブワード線SW0～SWmは、すべて接地電位VSSのようなロウレベルの非選択レベルとされ、ウェル電圧供給線VWS0～VWSmも、すべて接地電位VSSのようなロウレベルとされる。このため、メモリアレイMARYOのそれぞれ4個のメモリセルMCのNチャネルMOSFET N1～N4が形成されるP型ウェル領域PWELLには、比較的低い第1の電位つまり接地電位VSS

Sが供給され、これを受けてMOSFETN1～N4のしきい値電圧が比較的大きくされる。この結果、電源電圧VDDからMOSFETP1及びN1ならびにMOSFETP2及びN2を介するリーク電流が低減されるとともに、ハイレベルにプリチャージされた相補ビット線B0*～B3*の非反転及び反転信号線からMOSFETN3及びN1ならびにMOSFETN4及びN2を介するリーク電流が低減され、これによってスタティック型RAMの非選択時における消費電力が低減されるものとなる。

【0051】次に、内部クロック信号ICつまりクロック信号CLKがハイレベルとされ、スタティック型RAMが選択状態とされるとき、サブワード線駆動回路SD0では、例えばメインワード線MW0の択一的なロウレベルの選択レベルを受けて、対応する単位サブワード線駆動回路USD0のCMOSインバータを構成するNチャネルMOSFETN5が択一的にオフ状態となり、PチャネルMOSFETP3が択一的にオン状態となる。また、NチャネルMOSFETN6は、対応するワード線選択信号WS0の択一的なロウレベルの選択レベルを受けて、択一的にオン状態からオフ状態に変化する。

【0052】このとき、他の単位サブワード線駆動回路USD1～USDmを構成するNチャネルMOSFETN5及びN6は、メインワード線MW1～MWmならびにワード線選択信号WS1～WSmの非選択レベルを受けてすべてオン状態のままとされ、PチャネルMOSFETP3はすべてオフ状態のままとされる。

【0053】これにより、メモリアレイMARY0の対応するサブワード線SW0が択一的に電源電圧VDDのような選択レベルとされるとともに、対応するウェル電圧供給線VWS0は、択一的にフローティング状態とされる。したがって、サブワード線SW0に結合される4個のメモリセルMCでは、サブワード線SW0つまり選択MOSFETN3及びN4のゲート電位の上昇を受けて、P型ウェル領域PWE L Lの電位が、ゲート容量を介する容量結合によって択一的に所定電位Vs（第2の電位）に上昇し、NチャネルMOSFETN1～N4のしきい値電圧が小さくなる。この結果、これらのメモリセルMCのラッチ回路の非反転及び反転入出力ノードと対応する非反転又は反転ビット線との間を接続する選択MOSFETN3及びN4と、非反転又は反転ビット線のハイレベルを選択的にロウレベルとするためのMOSFETN1及びN2の動作が高速化され、これによってスタティック型RAMの特に読み出し動作が高速化されるものとなる。

【0054】なお、このとき、メモリアレイMARY0の非選択状態にある他のサブワード線SW1～SWmに結合されたメモリセルMCでは、対応するウェル電圧供給線VWS1～VWSmの非選択レベルを受けて、P型ウェル領域PWE L Lの電位が接地電位VSSのままと

される。このため、NチャネルMOSFETN1～N4のしきい値電圧が大きいままとされ、各メモリセルMCのリーク電流が小さいままとされて、サブワード線SW0が択一的に選択レベルとされることによりスタティック型RAMの消費電力の増加は最小限に抑制される。

【0055】ところで、スタティック型RAMが読み出しモードつまりリードサイクルで選択状態とされるとき、相補ビット線B0*の非反転及び反転信号線のプリチャージ電位は、図5に例示されるように、対応するメモリセルMCの保持データの論理値に応じて、しかもそのNチャネルMOSFETN1又はN2を介して選択的にディスチャージされ、その一方が選択的に所定電位Vrに低下する。この電位差は、センスアンプSA0の対応する単位センスアンプによって増幅された後、データ入出力回路の対応する単位入力回路から出力データバスDOB0～DOBkを介して論理集積回路装置のアクセスユニットに出力される。

【0056】一方、スタティック型RAMが書き込みモードつまりライトサイクルで選択状態とされるとき、相補ビット線B0*の非反転及び反転信号線には、ライトアンプWA0の対応する単位ライトアンプから、書き込みデータの対応するビットの論理値に応じて、電源電圧VDDのようなハイレベルあるいは接地電位VSSのようなロウレベルの書き込み信号が選択的に供給され、各ビット線のハイレベルのプリチャージ電位は、そのいずれか一方のみが強制的に接地電位VSSのようなロウレベルに引き下げられる。このため、本発明の書き込み動作時における効果は、選択MOSFETN3及びN4のしきい値電圧が小さくされ、その動作が高速化されることによる効果分のみとなる。

【0057】しかし、例えばスタティック型RAMがいわゆる擬似多ポート方式をとり、一つのアクセスサイクル内に読み出し動作と読み出し又は書き込み動作とを連続して実行する場合、比較的大きな効果が得られる読み出し動作がいずれのアクセスサイクルにも必ず含まれることで、各アクセスサイクルの所要時間を短縮し、スタティック型RAMのサイクルタイムを高速化することが可能となる。

【0058】図6には、図1及び図2のスタティック型RAMに含まれるメモリアレイMARY0及びサブワード線駆動回路SD0の第2の実施例の部分的な回路図が示されている。なお、この実施例は、前記図3の実施例を基本的に踏襲するものであるため、これと異なる部分についてのみ説明を追加する。

【0059】図6において、この実施例のサブワード線駆動回路SD0の単位サブワード線駆動回路USD0は、PチャネルMOSFETP3及びNチャネルMOSFETN5からなる第1のCMOSインバータに加えて、PチャネルMOSFETP4（第2のMOSFET

T)及びNチャネルMOSFETN6(第1のMOSFET)からなる第2のCMOSインバータを備える。該第2のCMOSインバータを構成するPチャネルMOSFETP4のソースは、ウェル電圧供給点VSBFに結合され、PチャネルMOSFETP4及びNチャネルMOSFETN6のゲートは、対応するワード線選択信号WS0に結合される。なお、ウェル電圧供給点VSBFにおけるウェル電圧VSBFの電位は、特に制限されないが、+400mVつまり+0.4Vのような正電位とされる。

【0060】ワード線選択信号WS0が電源電圧VDDのようなハイレベルの非選択レベルとされるとき、単位サブワード線駆動回路USD0では、上記第2のCMOSインバータを構成するNチャネルMOSFETN6がオン状態となり、PチャネルMOSFETP4はオフ状態となる。このため、メモリアレイMARY0のウェル電圧供給線VWS0は、第1の電位つまり接地電位VSSのようなロウレベルとされ、サブワード線SW0に結合される4個のメモリセルMCのNチャネルMOSFETN1~N4のしきい値電圧が大きくなって、メモリセルMCのリーク電流が低減され、スタティック型RAMの低消費電力化が図られる。

【0061】一方、ワード線選択信号WS0が択一的に接地電位VSSのようなロウレベルの選択レベルとされるとき、単位サブワード線駆動回路USD0では、第2のCMOSインバータを構成するNチャネルMOSFETN6がオフ状態となり、PチャネルMOSFETP4がオン状態となる。このため、メモリアレイMARY0のウェル電圧供給線VWS0には、比較的高い第2の電位つまりウェル電圧VSBFが供給され、サブワード線SW0に結合される4個のメモリセルMCのNチャネルMOSFETN1~N4のしきい値電圧が小さくなって、その動作が高速化され、スタティック型RAMの高速化が図られる。

【0062】なお、この実施例の場合、ウェル電圧供給線VWS0の選択レベルがフローティング状態ではなく確実にウェル電圧VSBFに設定されるため、図3の実施例に比較して対応するメモリセルMCの動作が安定化されるとともに高速化され、相応してスタティック型RAMの動作が高速化されるものとなる。

【0063】図7には、図1及び図2のスタティック型RAMに含まれるメモリアレイMARY0及びサブワード線駆動回路SD0の第3の実施例の部分的な回路図が示されている。なお、この実施例は、前記図6の実施例を基本的に踏襲するものであるため、これと異なる部分についてのみ説明を追加する。

【0064】図7において、この実施例のサブワード線駆動回路SD0の単位サブワード線駆動回路USD0は、PチャネルMOSFETP3及びNチャネルMOSFETN5からなる第1のCMOSインバータに加え

て、PチャネルMOSFETP4(第2のMOSFET)及びNチャネルMOSFETN6(第1のMOSFET)からなる第2のCMOSインバータを備える。該第2のCMOSインバータを構成するPチャネルMOSFETP4のソースは、ウェル電圧供給点VSBFに結合され、PチャネルMOSFETP4及びNチャネルMOSFETN6のゲートは、対応するメインワード線MW0に結合される。

【0065】メインワード線MW0が電源電圧VDDのようなハイレベルの非選択レベルとされるとき、単位サブワード線駆動回路USD0では、第2のCMOSインバータを構成するNチャネルMOSFETN6がオン状態となり、PチャネルMOSFETP4はオフ状態となる。このため、メモリアレイMARY0のウェル電圧供給線VWS0は、比較的低い第1の電位つまり接地電位VSSのようなロウレベルとされ、サブワード線SW0に結合される4個のメモリセルMCのNチャネルMOSFETN1~N4のしきい値電圧が大きくなって、メモリセルMCのリーク電流が低減され、スタティック型RAMの低消費電力化が図られる。

【0066】一方、メインワード線MW0が択一的に接地電位VSSのようなロウレベルの選択レベルとされるとき、単位サブワード線駆動回路USD0では、第2のCMOSインバータを構成するNチャネルMOSFETN6がオフ状態となり、PチャネルMOSFETP4がオン状態となる。このため、メモリアレイMARY0のウェル電圧供給線VWS0には、比較的高い第2の電位つまりウェル電圧VSBFが供給され、サブワード線SW0に結合される4個のメモリセルMCのNチャネルMOSFETN1~N4のしきい値電圧が小さくなって、その動作が高速化され、スタティック型RAMの高速化が図られる。

【0067】なお、この実施例の場合、ウェル電圧供給線VWS0の選択レベルがフローティング状態ではなく確実にウェル電圧VSBFに設定されるため、図6の実施例と同様な効果を得ることができる。また、ウェル電圧制御のためのワード線選択信号WS0~WSmが不要となることで、スタティック型RAMのメモリアレイ周辺のレイアウトが簡素化されるとともに、これらのワード線選択信号としてメインワード線MW0~MWmが代用されることで、ウェル電圧切り換え時のタイミング制御が容易となり、動作マージンを拡大できる。

【0068】図8には、図1及び図2のスタティック型RAMに含まれるメモリアレイMARY0及びサブワード線駆動回路SD0の第4の実施例の部分的な回路図が示されている。なお、この実施例は、前記図7の実施例を基本的に踏襲するものであるため、これと異なる部分についてのみ説明を追加する。

【0069】図8において、この実施例のサブワード線駆動回路SD0の単位サブワード線駆動回路USD0

は、図7の実施例の第2のCMOSインバータを構成するPチャネルMOSFET P1を、NチャネルMOSFET N7（第3のMOSFET）に置き換えた構成とされる。このNチャネルMOSFET N7のドレインは、ウェル電圧供給点VSBFに結合され、そのゲートは、対応するサブワード線SW0に結合される。また、NチャネルMOSFET N6（第1のMOSFET）のゲートは、対応するメインワード線MW0に結合される。

【0070】メインワード線MW0が電源電圧VDDのようなハイレベルの非選択レベルとされるとき、単位サブワード線駆動回路USD0では、NチャネルMOSFET N6がオン状態となり、NチャネルMOSFET N7は、サブワード線SW0のロウレベルを受けてオフ状態となる。このため、メモリアレイMARY0のウェル電圧供給線VWS0は、第1の電位つまり接地電位VSSのようなロウレベルとされ、サブワード線SW0に結合される4個のメモリセルMCのNチャネルMOSFET N1～N4のしきい値電圧が大きくなって、メモリセルMCのリーク電流が低減され、スタティック型RAMの低消費電力化が図られる。

【0071】一方、メインワード線MW0が択一的に接地電位VSSのようなロウレベルの選択レベルとされるとき、単位サブワード線駆動回路USD0では、NチャネルMOSFET N6がオフ状態となる。また、サブワード線SW0が、ウェル電圧VSBFより十分に高い+1.5Vのようなハイレベルの選択レベルとされ、このサブワード線SW0の選択レベルを受けてNチャネルMOSFET N7がオン状態となる。このため、メモリアレイMARY0の対応するウェル電圧供給線VWS0には、MOSFET N7を介して比較的高い第2の電位つまりウェル電圧VSBFがそのまま伝達され、サブワード線SW0に結合される4個のメモリセルMCのNチャネルMOSFET N1～N4のしきい値電圧が小さくなって、その動作が高速化され、スタティック型RAMの高速化が図られる。

【0072】なお、この実施例の場合、ウェル電圧供給線VWS0の選択レベルがフローティング状態ではなく確実にウェル電圧VSBFに設定されるとともに、ウェル電圧制御のためのワード線選択信号WS0～WSmが不必要となることで、図7の実施例と同様な効果を得ることができる。また、前記図7の実施例のPチャネルMOSFET P4が、もともとPチャネルMOSFETよりも特性的に動作速度の速いNチャネルMOSFET N7に置き換えられるとともに、メインワード線MW0の負荷が合計 $18 \times (p+1)$ 個のMOSFET P4分だけ軽減されることで、スタティック型RAMの動作がさらに高速化されるものとなる。

【0073】以上の実施例から得られる作用効果は、下記の通りである。すなわち、

(1) CMOS型のメモリセルが格子配列されてなるメ

モリアレイをその基本構成要素とし、その非選択時、恒補ビット線の非反転及び反転信号線をハイレベルにプリチャージするスタティック型RAM等において、その基本的なデバイス構造を、半導体基板の所定深度に絶縁層を形成し、該絶縁層の上層に、その下端と絶縁層とが接すべくウェル領域を形成するSOI構造とするとともに、例えば、メモリアレイの各メモリセルのNチャネルMOSFETが形成されるP型ウェル領域を、ワード線単位で独立に形成することで、P型ウェル領域の寄生容量を低減し、そのウェル電圧制御を高速化できるという効果が得られる。

【0074】(2) 上記(1)項のスタティック型RAM等において、メモリアレイの各メモリセルのNチャネルMOSFETが形成されるP型ウェル領域に、対応するワード線が非選択状態とされるとき、例えば接地電位のような比較的低い第1の電位のウェル電圧を印加し、選択状態とされるときには、比較的高い第2の電位のウェル電圧を印加することで、例えばメモリアレイの非選択状態にある大半のメモリセルのNチャネルMOSFETのしきい値電圧を大きくしたまま、選択状態にあるメモリセルのNチャネルMOSFETのしきい値電圧のみを、必要期間だけ選択的に小さくすることができるという効果が得られる。

【0075】(3) 上記(1)項及び(2)項により、そのリーク電流を低減しつつ、メモリセルの動作を高速化できるという効果が得られる。

(4) 上記(3)項により、その消費電力を低減しつつ、スタティック型RAM等のアクセス時間を高速化できるという効果が得られる。

【0076】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、この発明は、上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。例えば、図1において、スタティック型RAMのブロック構成は、本実施例による制約を受けないし、その各起動制御信号及び内部制御信号の名称及び有効レベルならびにアドレス信号の組み合わせ等も、種々の実施形態をとりうる。図2において、メモリマツトMAT0～MATpを構成するメモリアレイMARY0～MARYpのビット線数は、任意に設定できるし、ビット線グループへの分割方法も同様である。

【0077】図3ならびに図6～図8において、メモリアレイMARY0は、任意数の冗長素子を含むことができるし、メモリセルMCは、例えば高抵抗型メモリセルに置き換えることができる。また、サブワード線駆動回路SD0の各単位サブワード線駆動回路のMOSFET P3及びN5からなるCMOSインバータを、2入力のノアゲート等に置き換え、カラム方向の選択機能を持たせることができる。図6において、第2のCMOSインバータを構成するPチャネルMOSFET P4を、図8

の実施例と同様に、そのゲートがサブワード線SW0に結合されたNチャネルMOSFETに置き換え、さらなる高速化を図ることができる。

【0078】図4において、メモリセルの断面構造は、シンボリックに表現したものであって、その具体的なデバイス構造やサイズならびに導電型等に制約を与えない。図5において、各信号の絶対的な時間及び電位関係は、本発明の主旨に何ら制約を与えない。また、電源電圧VDDやN型ウェル領域に対するウェル電圧の具体的な電位ならびにその極性等は、本実施例による制約を受けない。

【0079】本実施例では、P型ウェル領域に供給されるウェル電圧の電位を切り換えることで、メモリセルMCを構成するNチャネルMOSFET N1～N4のしきい値電圧を制御する場合を例に説明してきたが、例えばN型ウェル領域に供給されるウェル電圧の電位を切り換えることで、メモリセルMCを構成するPチャネルMOSFET P1及びP2のしきい値電圧を同様に制御できることは言うまでもない。この場合、N型ウェル領域に対するウェル電圧の電位は、対応するサブワード線が非選択レベルとされるとき例えば電源電圧VDDとされ、選択レベルとされるときには電源電圧VDDより所定値だけ低い電位とされる。

【0080】以上スタティック型RAMを用いて説明してきたが、各メモリアレイ及びサブワード線駆動回路の部分回路構成の図において、SRAMメモリセルをDRAM（ダイナミック・ランダム・アクセス・メモリ）メモリセルに変えることによって、DRAMでも同様の効果を得ることができる。具体的にはスタティック型メモリセルのMOSFET P1、P2、N1、N2、N4を削除し、MOSFET N3を残し、上記MOSFET N1のソースドレイン経路が有った箇所をコンデンサに置き換えることによって、ダイナミック型メモリセルが実現できる。このようにダイナミック型メモリセルに置き換えた場合には、ビット線にはラッチ型のセンスアンプが接続される。ただし、集積密度等を考慮すると、Nチャネル型MOSFETのみからなるダイナミック型メモリセルでは、ワード線毎に分離領域を設ける必要がある。この集積密度等において、Pチャネル型MOSFETが形成されるN型ウェル領域をワード線毎のNチャネル型MOSFETが形成されるP型ウェル領域の分離領域として活用できるスタティック型メモリセルの方が有利である。

【0081】以上の説明では、主として本発明者によってなされた発明をその背景となった利用分野であるマイクロプロセッサ等の論理集積回路装置にマクロセルとして搭載されるスタティック型RAMならびにそのメモリアレイ及びサブワード線駆動回路に適用した場合について説明したが、それに限定されるものではなく、例えば、スタティック型RAMのXアドレスデコードに含ま

れるプリデコードやメインワード線駆動回路等にも適用できるとし、多ポートRAM等の各種メモリ集積回路装置やこれを搭載する各種の論理集積回路装置にも適用できる。この発明は、少なくともウェル電圧切り換えによる効果が得られる半導体集積回路装置ならびにこれを含む装置又はシステムに広く適用できる。

【0082】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、メモリセルが格子配列されてなるメモリアレイを基本構成要素とし、その非選択時、相補ビット線の非反転及び反転信号線をハイレベルにプリチャージするメモリ回路において、その基本的なデバイス構造を、半導体基板の所定深度に絶縁層を形成し、該絶縁層の上層に、その下端と絶縁層とが接すべくウェル領域を形成するSOI構造とするとともに、例えば、メモリアレイの各メモリセルのNチャネルMOSFETが形成されるP型ウェル領域を、ワード線単位で独立に形成し、これらのP型ウェル領域に、対応するワード線が非選択状態とされるとき、例えば接地電位のような比較的低い第1の電位のウェル電圧を印加し、選択状態とされるときには、比較的高い第2の電位のウェル電圧を印加する。

【0083】これにより、例えばメモリアレイの非選択状態にある大半のメモリセルのNチャネルMOSFETのしきい値電圧を大きくしたまま、選択状態にあるメモリセルのNチャネルMOSFETのしきい値電圧のみを、必要期間だけ選択的に小さくすることができる。この結果、メモリセルのリーク電流を低減し、メモリ部の消費電力を低減しつつ、メモリセルの動作を高速化し、メモリ部のアクセスタイムを高速化することができる。

【図面の簡単な説明】

【図1】この発明が適用されたスタティック型RAMの一実施例を示すブロック図である。

【図2】図1のスタティック型RAMのメモリアレイ及び周辺部の一実施例を示す部分的なブロック図である。

【図3】図1のスタティック型RAMのメモリアレイ及びサブワード線駆動回路の第1の実施例を示す部分的な回路図である。

【図4】図3のメモリアレイを構成するスタティック型メモリセルの一実施例を示す部分的な断面構造図である。

【図5】図3のメモリアレイ及びサブワード線駆動回路の一実施例を示す信号波形図である。

【図6】図1のスタティック型RAMのメモリアレイ及びサブワード線駆動回路の第2の実施例を示す部分的な回路図である。

【図7】図1のスタティック型RAMのメモリアレイ及びサブワード線駆動回路の第3の実施例を示す部分的な回路図である。

【図8】図1のスタティック型RAMのメモリアレイ及びサブワード線駆動回路の第4の実施例を示す部分的な回路図である。

【図9】この発明に先立って本願発明者等が開発したスタティック型RAMのメモリアレイ及びサブワード線駆動回路の一例を示す部分的な回路図である。

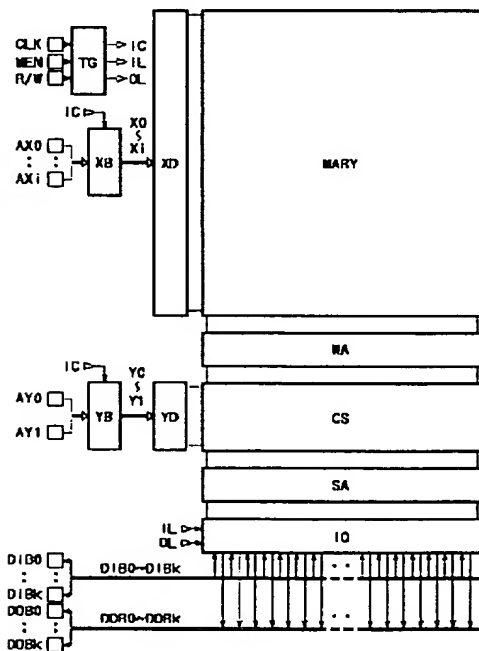
【符号の説明】

MARY……メモリアレイ、XD……Xアドレスデコーダ、XB……Xアドレスバッファ、IC……内部クロック信号、WA……ライトアンプ、CS……カラムスイッチ、YD……Yアドレスデコーダ、YB……Yアドレスバッファ、SA……センスアンプ、IO……データ入出力回路、IL……入力制御信号、OL……出力制御信号、TG……タイミング発生回路、CLK……クロック信号又はその入力端子、MEN……メモリイネーブル信号又はその入力端子、R/W……リードライト信号又はその入力端子、AX0～AXi……Xアドレス信号又はその入力端子、AY0～AY1……Yアドレス信号又はその入力端子、DIB0～DIBk……入力データ又は

入力データバス、DOB0～DOBk……出力データ又は出力データバス、MAT0～MATp……メモリマット、MARY0～MARYp……メモリアレイ、SD0～SDp……サブワード線駆動回路、WA0～WAp……ライトアンプ、CS0～CSp……カラムスイッチ、SA0～SAp……センスアンプ、IO0～IOp……データ入出力回路、MW0～MWm……メインワード線、WS0～WSm……ワード線選択信号、USD0～USDm……単位サブワード線駆動回路、SW0～SWm……サブワード線、VWS0～VWSm……ウェル電圧供給線、B0*～B3*……相補ビット線MC……スタティック型メモリセル、SUB……半導体基板、IL……絶縁層、IE……絶縁領域、PWE L L……P型ウェル領域、NWE L L……N型ウェル領域、p⁺……P型拡散層、n⁺……N型拡散層、FG……ゲート層、OX……酸化膜、VDD……電源電圧、VSS……接地電位、VSBF……基板電圧、P1～P4……PチャネルMOSFET、N1～N7……NチャネルMOSFET。

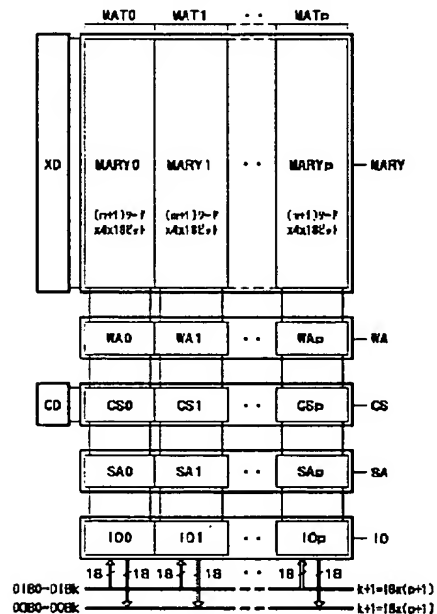
【図1】

図1 スタティック型RAMのブロック構成



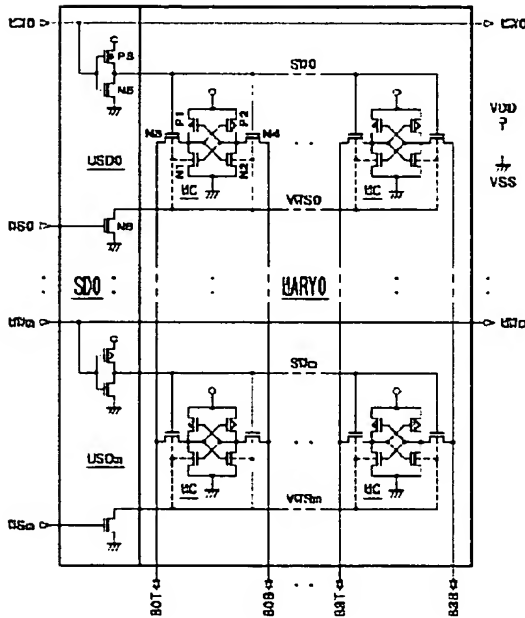
【図2】

図2 メモリアレイ及び周辺部のブロック構成



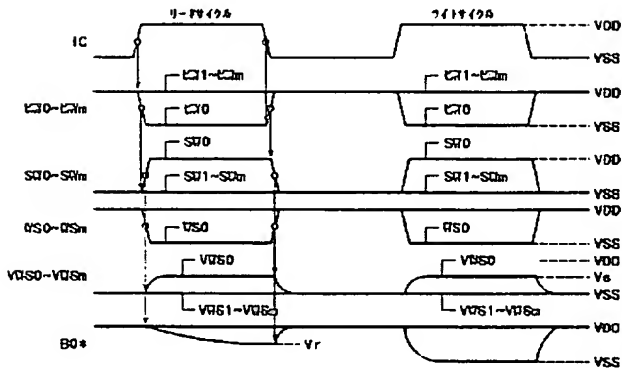
【図3】

図3 メモリアレイ及びサブワード線駆動回路の部分回路図成(変形例1)



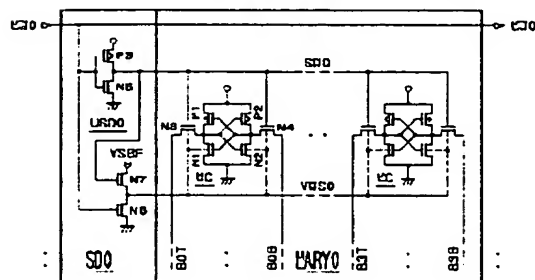
【図5】

図5 メモリアレイ及びサブワード線駆動回路の信号波形



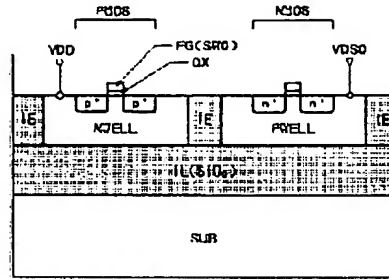
【図8】

図8 メモリアレイ及びサブワード線駆動回路の部分回路図成(変形例4)



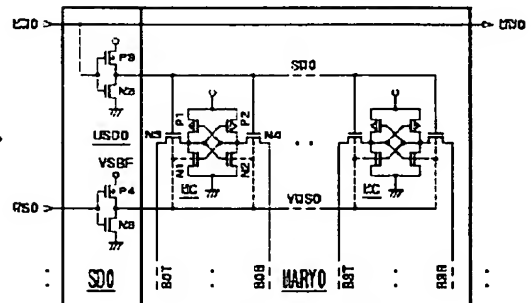
【図1】

図4 メモリセルの部分断面図成



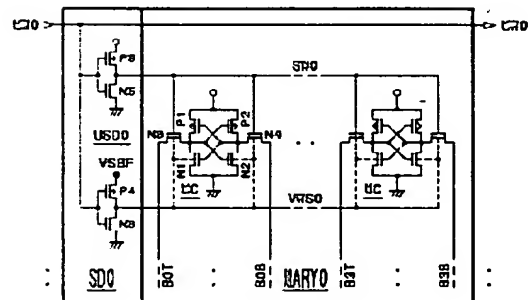
【図6】

図6 メモリアレイ及びサブワード線駆動回路の部分回路図成(変形例2)



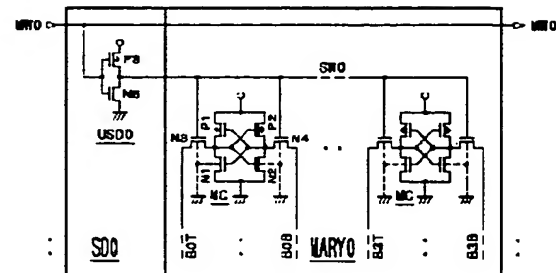
【図7】

図7 メモリアレイ及びサブワード線駆動回路の部分回路図成(変形例3)



【図 9】

図 9 メモリアレイ及びサブワード線駆動の部分回路構成



フロントページの続き

F ターム(参考) 5B015 HH01 HH03 JJ03 JJ21 KA13
 KA27 KA33 KB66 PP01 PP02
 5F083 BS27 GA01 GA05 HA02 KA03
 LA03 LA04 LA05 LA09



JP2001053168

Biblio

Page 1

Drawing

**SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE**

Patent Number: JP2001053168
Publication date: 2001-02-23
Inventor(s): IWAHASHI MASAYUKI; SUZUKI TAKESHI
Applicant(s): HITACHI LTD
Requested Patent: ☐ JP2001053168
Application Number: JP19990229780 19990816
Priority Number(s):
IPC Classification: H01L21/8244; H01L27/11; G11C11/413
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To shorten access time while reducing power consumption of a static RAM having a CMOS circuit as a basic element.

SOLUTION: A semiconductor integrated circuit device comprises a static RAM, having a memory array MARY0 of CMOS memory cells MC arranged in lattice as a basic compositional element, where the non-inverted signal line B0T and inverted signal line B0B of complementary bit lines are precharged to high level at nonselection. the basic device structure is an SOI structure and a P-type well region for forming the N-channel MOSFETR N1-N4 of a memory cell MC in the memory array MARY0 is formed independently in units of sub-word line. The P-type well region is applied with an well voltage of first relatively low potential, e.g. a ground potential VSS, when a corresponding sub-word line SW0 is in a nonselection state and applied with an well voltage of second relatively low potential, when it is in selection state.

Data supplied from the esp@cenet database - I2